

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

AU 253 48202

JA 0031156  
FEB 1982

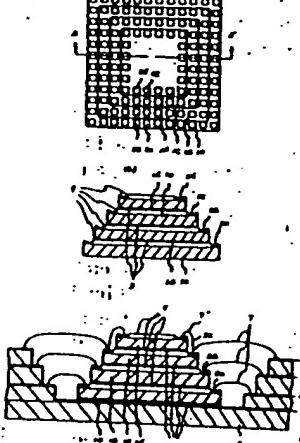
521 E 112

(54) SEMICONDUCTOR DEVICE

(11) 57-31166 (A) (43) 19.2.1982 (19) JP  
(21) Appl. No. 55-105911 (22) 31.7.1980  
(71) FUJITSU K.K. (72) JIYUNJI SAKURAI  
(51) Int. Cl.: H01L23/48, H01L21/58

**PURPOSE:** To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

**CONSTITUTION:** IC chips 1a~1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package 4 are connected with wires 7. The surface of each chip is protected by an insulating film 9. The required connecting pad 2d of the chip 1d at the top stage and the required pad 2c of the chip 1c of the lower stage are connected with a wire 7'. The inner pads 6a~6c of the package and corresponding pads 2a~2c of the multilayer IC chips 1a~1d are to be placed on almost a same level. Thus the yield of the multilayer IC production is improved and the compact and high capacity devices are provided.



⑯. 日本国特許庁 (JP)

①特許出願公開

②公開特許公報(A)

昭57-31166

①Int Cl. H 01 L 23/48 譲別記号  
21/58

厅内整理番号  
6819-5F  
6679-5F

④公開 昭和57年(1982)2月19日

発明の数 1  
審査請求 未請求

(全 4 頁)

### ④半導體装置

川崎市中原区上小田中1015番地  
富士通株式会社内

卷之五 雜·昭55—105911

①出願人 富士通株式会社

の出典：国：昭55(1980)7月31日

川崎市中原区上小田中1015番地

•四庫全書

④代 理 人 喬理士 松岡宏四郎

新編卷之三

三

その結果第1項は次の半導体集成。

### 3. 発明の詳細を説明

本説明は多層半導体集積回路チップを複数の大半導体装置の構造に適用する。電子計算機あるいは各種通信装置等の電子装置に於ては、半導体装置の実装密度を向上しむることがや否の小形化大容量化を図る上で亟めて重要なことである。

そして上記目的のために大規模熱敷板（LS1）等の半導体熱敷板（IC）に於て、パ・ケージ等の電子部品度を向上せしめる技術として、(1)表面積のLS1テ・ブを1(面)の半導体パ・ケージ内に配置する構造、(2)LS1テ・ブの表面に半導体安子を形成する構造、(3)LS1テ・ブを複数した半導体パ・ケージを組み合ねる構造、(4)LS1上に形成した熱敷板上に半導体膜を形成しレーザー・マニールで該半導体層を単結晶化し、該單結晶半導体層にLS1を形成する構造(日経エレクトロニクス2-18(1980)P.828等)等があるが、(1)-(3)の構造に於ては組み合び部に対する実装不良の大幅な向上は期待できます。

以下本発明を第1回及び第2回に示すナ・ア段  
層構造における二つの実施例の上面図(a)及びA-A'矢視断面図(b), 第3回及び第4回に示すバ  
ケージへのナ・ア表面構造における二つの実施例  
の断面模式図を用いて詳説に説明する。

本実施例の多層半導体ICに使用する各電子基  
礎層としての半導体ICナ・アは、通常行われる  
例えばMIS型ICの製造工場に従って、ゲート  
酸化膜、ゲート電極、ソース・ドレイン領域、配  
線等の形成が完了せしめられ、取扱のための導通  
用ペ・ドであるマンディング・ペ・ド部のみを残  
して上面が保護ガラス(PSG)等の表面保護  
被覆層で覆われてなっている。なお上記マンディ  
ング・ペ・ド部にはバンブ状電極が形成される場  
合もある。

そして例えば第1回(a)及び(b)に示すような多層  
半導体ICナ・アの複層構造においては、第1層の  
半導体ICナ・ア1a, 第2層のナ・ア1b, 第  
3層のナ・ア1c及び第4層のナ・ア1dの4(辺)  
に沿った周縁部に導通所開設のマンディング・ペ

又第2回(a)及び(b)は同じナ・ア・サイズの半導体  
ICナ・アを複層する際の構造を示す別の  
実施例で、この場合は各層半導体ICナ・ア例えば1a, 1b, 1c及び1dのマンディング・ペ  
・ド2a, 2b, 2c及び2dは該ナ・アに於ける  
開き合った2(辺)に沿う端部のみに形成され  
る。そしてナ・アを複層する際用いる接続層3  
としては前記凹槽部紙性樹脂、導電性接着剤或  
いはろう材が使用される。(図中9は表面保護被  
覆層を表す)

本実施例の半導体装置は上記のような多層半導  
体集積回路ナ・アを半導体バ・ケージ内に配置し  
た構造を有しており、その実施例に於ては第3  
回の断面模式図に示すように、半導体バ・ケージ  
40ナ・ア・ステージ5上に前記のように半導体  
ICナ・ア1a, 1b, 1c及び1dが順次積層さ  
れた多層半導体集積回路ナ・アが、前記凹槽部  
紙性樹脂、導電性接着剤或いはろう材等からな  
る接続層3により固定されており、上記ナ・アの  
所定のマンディング・ペ・ド(通常は側面のマン

又(1)構造に於ては無根成及び異質密度は大幅に  
向上するが、各層の回路端子が露出しないので。  
各層に記載されているLSIのプロセス記号や回  
路記号を簡略に改正することが出来てゐるとい  
う問題があった。

不見明は上記問題点に鑑み、実積回路(IC)  
ナ・アを複層し、バ・ケージ寸法の拡大すること  
を最小限且つバ・ケージ当たりのICの無根成度を  
大幅に向上せしめ、更にICナ・ア・プロセス  
記号及び回路記号を簡略に調定することが可能を  
達成を有する多層半導体集積回路ナ・アをバ・ケ  
ージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が無根成されてなる電子  
基盤層が多層に積層され、各層に外部との導通ペ  
・ドが設けられた多層半導体集積回路ナ・アをバ・ケ  
ージ内に封入した半導体装置において、該バ  
・ケージ内の内部ペ・ドが所定形状に多層に設けら  
れ、対応する層の前記導通ペ・ドと内部ペ・ド  
とが外部導体を介して接続されてなることを特徴  
とする。

ド2a, 2b, 2cあるいは2dが形成されて  
おり、各層ナ・アの大きさは、上層のナ・アを複  
せた時に下層ナ・アのマンディング・ペ・ドが上  
層ナ・アの周辺部(外側)に露出するように、上  
層ナ・アになるに従って順次小さく形成される。  
(図中9は表面保護被覆層を表す)

そしてこれら半導体ICナ・アを複層構造する  
際の接続層3はシリコン樹脂、エポキシ樹脂或  
いはポリイミド等の絶縁性樹脂、銀ベース等  
の導電性接着剤或いは金一銀(Au-Sn)等の合  
金からなるろう材により形成される。なお上記の  
中、ろう材を用いて接続を行う際には下層の半導  
体ICナ・アの表面保護被覆層9上に予めAu等  
からなるメタライズ層を形成しておく必要があり、  
又導電性接着剤或いはろう材を用いて接続する  
際には、下層ナ・アの表面保護被覆層9に  
於ける周縁部以外の所定の場所にコンタクト窓を  
形成し、前記導電性接着剤或いはろう材を介し  
て上層ナ・アの所定の領域と板方向に電気的接続  
を行なう際に有利である。

スル  
ナ・ア  
を大  
半導  
体はそ  
内にま  
ICの  
及び自  
の向上  
さら  
ペ・ドC  
の導通一  
層はさ  
れる。  
又不見  
子集積層と  
構造のよう  
間を外由導  
て該構造の

本発明の半導体装置における一実施例の断面構造図である。本実施例に於てはマンディング・ペード 2a, 2b, 2c 間に鉛-錫(Pb-Sn)半田等からなるバンプ電極 8a, 8b, 8c を有する半導体 IC チップ 1a, 1b, 1c を前述のように状態形成せしめた多層半導体基板四端子アブを、試料アブの上面を下に向け、半導体バーケージ 4 に多層に形成された内部ペード 6c, 6b, 6a 上に、前記バンプ電極 8a, 8b, 8c によりろう焼固定し、該バンプ電極 8a, 8b, 8c を外部導体として介して各層半導体 IC チップ 1a, 1b, 1c のマンディング・ペード部とバーケージの内部配線とをそれぞれ気密に接続した構造を有している。(図中 9 は表面保護被覆層を表わす)

なお該構造に於ては各層の半導体 IC チップの厚さと半導体バーケージの内部配線の層間隔はほぼ等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体バーケージ内に半導体 IC チップが状態固定されてなっているので、ノーマル

すら一枚のナ・アブで回路接続を完成せしめる必要はなく、複数枚のナ・アブにまたがって回路接続を形成することができる。

従って本発明によれば多層半導体 ICO の製造歩合よりも向上すると同時に、電子計算機或いは電子通信装置等の電子機器の小型化、大容量化が図れる。

#### 4. 図面の簡単な説明

第1図及び第2図は不発明の多層半導体基板四端子に於けるナ・アブ状態構造の二つの実施例を示し(1)はその上面図、(2)はその A-A' 矢印断面図である。又第3図及び第4図は本発明に於けるバーケージへのナ・アブ状態構造の二つの実施例の断面構成式図である。

図に於て 1a と 1b と 1c と 1d は電子無線用である半導体無線四端子アブ、2a と 2b と 2c と 2d はマンディング・ペード、3 は接着力、4 は半導体バーケージ、5 はナ・アブ・ステージ、6a と 6b と 6c はバーケージの内部ペード、7 及び 7' は外部導体、8a と 8b と 8c はバンプ電極

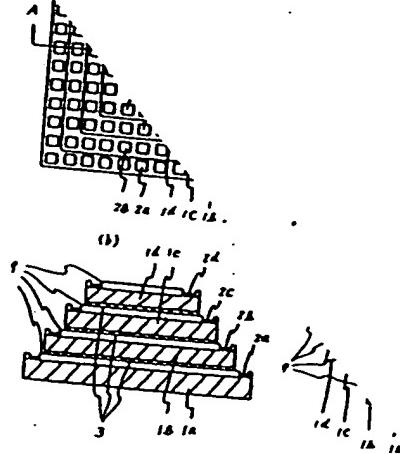
TE-3226  
因多用瓦都係同上而不同  
此表可保萬無一失。

4. 本表之用法。

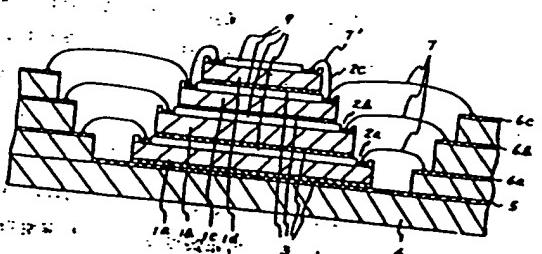
5. 本表之用法。

6. 本表之用法。

7. 本表之用法。  
代理人：公理士



第3圖



第4圖

